

Patent



Customer No. 31561
Application No.: 10/711,511
Docket No. 13040-US-PA

IFW

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Wu et al.
Application No. : 10/711,511
Filed : Sep 23, 2004
For : METHOD OF MANUFACTURING NON-VOLATILE
MEMORY CELL
Examiner : N/A
Art Unit : 2811

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA22202

Dear Sir:

Transmitted herewith is a certified copy of Taiwan Application No.:
093110637, filed on: 2004/04/16

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: June 1, 2005

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:

7F-1, No. 100, Roosevelt Rd.,

Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234

E-MAIL: BELINDA@JCIPGroup.com.tw; USA@JCIPGroup.com.tw



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder

申請日：西元 2004 年 04 月 16 日
Application Date

申請案號：093110637
Application No.

申請人：力晶半導體股份有限公司
Applicant(s)

CERTIFIED COPY OF
PRIORITY DOCUMENT

局長
Director General

蔡練生

發文日期：西元 2004 年 11 月
Issue Date

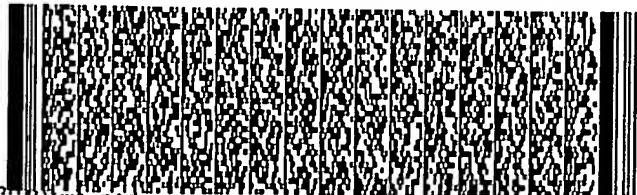
發文字號：09320979500
Serial No.

申請日期：2004.4.16	IPC分類
申請案號：93110637	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	非揮發性記憶胞的製作方法
	英文	METHOD OF MANUFACTURING NON-VOLATILE MEMORY CELL
二、 發明人 (共2人)	姓名 (中文)	1. 吳陞
	姓名 (英文)	1. WU, SHENG
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 新竹市頂埔里牛埔路14巷6弄19-7號8樓
	住居所 (英文)	1. 8F., No.19-7, Alley 6, Lane 14, Nioupu Rd., Hsinchu City 300, Taiwan (R.O.C.)
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 力晶半導體股份有限公司
	名稱或姓名 (英文)	1. Powerchip Semiconductor Corp.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹科學工業園區力行一路12號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. No. 12, Li-Hsin Rd. I, Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.
	代表人 (中文)	1. 黃崇仁
	代表人 (英文)	1. HUANG, CHUNG JENG



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共2人)	姓 名 (中文)	2. 宋達
	姓 名 (英文)	2. SUNG, DA
	國 籍 (中英文)	2. 中華民國 TW
	住居所 (中 文)	2. 新竹市光復路一段89巷123-2號9F-1
	住居所 (英 文)	2. 9F-1, No. 123-2, Alley 89, Sec. 1, Kwang-fu Rd., Hsinchu, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：非揮發性記憶胞的製作方法)

一種非揮發性記憶胞的製作方法，先於基底上形成第一介電層，再於第一介電層上形成第二介電層，其中第二介電層具有溝渠。接著，於溝渠之側壁上形成電荷儲存間隙壁。之後，於基底上形成第三介電層，覆蓋電荷儲存間隙壁以及第一、第二介電層，再於電荷儲存間隙壁上方的第三介電層上形成一導體結構。隨後，移除未被導體結構覆蓋的第三、第二與第一介電層，再於導體結構兩側之基底內形成源極/汲極區。

五、英文發明摘要 (發明名稱：METHOD OF MANUFACTURING NON-VOLATILE MEMORY CELL)

A method of manufacturing non-volatile memory cell includes forming a first dielectric layer on a substrate and then forming a second dielectric layer on the first dielectric layer, wherein the second dielectric layer has a trench. A plurality of charge storage spacers is formed on sidewalls of the trench. A third dielectric layer is then formed on the substrate covering the plurality of



四、中文發明摘要 (發明名稱：非揮發性記憶胞的製作方法)

五、英文發明摘要 (發明名稱：METHOD OF MANUFACTURING NON-VOLATILE MEMORY CELL)

charge storage spacers and the first and second dielectric layers. A conductive structure is formed on the third dielectric layer over the plurality of charge storage spacers and subsequently Portions of the third, second and first dielectric layers without cover of the conductive structure are removed. Source/drain region is then formed in the substrate on the side



四、中文發明摘要 (發明名稱：非揮發性記憶胞的製作方法)

五、英文發明摘要 (發明名稱：METHOD OF MANUFACTURING NON-VOLATILE MEMORY CELL)

of the conductive structure.



六、指定代表圖

(一) 本案指定代表圖為：第 (2F) 圖

(二) 本代表圖之元件代表符號簡單說明：

100：基底

102：穿隧介電層

104：圖案化介電層

110：浮置閘極

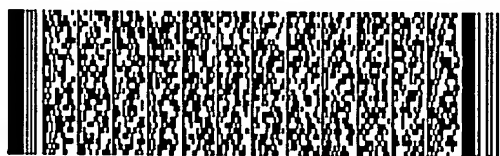
112：閘間介電層

114：導體結構

124：淺摻雜區

126：介電間隙壁

128：源極/汲極區



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

發明所屬之技術領域

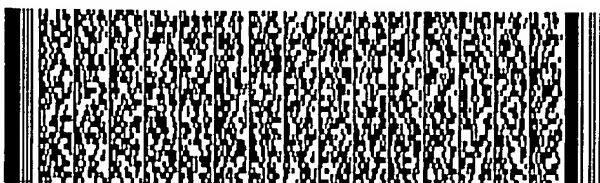
本發明是有關於一種非揮發性記憶胞的製作方法，且特別有關於一種單一記憶胞二位元(1 cell 2 bit)的非揮發性記憶胞的製作方法，並可應用於製作快閃記憶(Flash memory)胞與矽-氧化矽-氮化矽-氧化矽-矽型(silicon-oxide-nitride-oxide-silicon, SONOS)記憶胞。

先前技術

近年來非揮發性記憶體拜可攜式電子產品需求所賜，有明顯增加需求的現象。而隨著快閃式記憶體製程技術的日趨成熟以及可攜式電子系統市場的增加，高密度、高容量的快閃記憶胞及其陣列就相當的重要。

而一般快閃記憶體的形成方法通常是先在基底上依序形成穿隧氧化層(tunneling oxide)、導體層與介電層，再定義前述各層，以形成浮置閘極與閘間介電層。之後，於浮置閘極上方的閘間介電層上形成控制閘極。

然而，當複晶矽浮置閘極層下方的穿隧氧化層有缺陷存在時，就容易造成元件的漏電流，影響元件的可靠度。因此，為解決元件漏電流之問題，目前採用的方法是以一電荷陷入層(trapping layer)取代習知記憶體的複晶矽浮置閘極。由於這層電荷陷入層通常是一層氮化矽層，所以由氧化矽-氮化矽-氧化矽(oxide-nitride-oxide, ONO)層所構成的非揮發性記憶體又稱為矽-氧化矽-氮化矽-氧化矽-矽型記憶體。



五、發明說明 (2)

由於氮化矽層具有抓住電荷之效果，所以射入氮化矽層之中的電子並不會均勻分布於整個氮化矽層之中，而是集中於氮化矽層的局部區域上。因此，在矽-氧化矽-氮化矽-氧化矽-矽型記憶元件程式化時，電子僅會在接近源極或汲極區上方的通道局部性地儲存。故而，藉由改變閘極與其兩側之源極/汲極區所施加電壓，可以在單一的記憶胞之中寫入四種狀態，成為一種單一記憶胞二位元(1 cell 2 bit)之快閃記憶體。

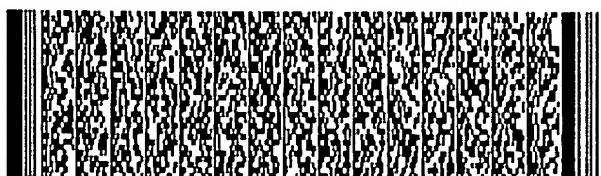
習知的二位元矽-氧化矽-氮化矽-氧化矽-矽型記憶元件在程式化時，注入電子陷入層中之熱電子會依據注入能量而形成電子分佈曲線。然而，在目前元件集積度增加的趨勢下，同一記憶胞之兩個位元彼此會互相影響，使電荷分佈曲線變廣而連接在一起，導致編程上的失誤，進而影響記憶體元件之可靠度。

發明內容

本發明的目的就是在提供一種非揮發性記憶胞的製作方法，可簡化製程並縮小單一記憶胞二位元的記憶胞尺寸。

本發明的再一目的是提供一種快閃記憶胞的製作方法，不僅可保持雙位元記憶胞所佔面積與習知單一記憶胞所佔面積相同，而且可以有效節省技術開發費用和昂貴的生產機台成本。

本發明的又一目的是提供一種矽-氧化矽-氮化矽-氧化矽-矽型記憶胞的製作方法，以避免原本陷入電荷陷入



五、發明說明 (3)

層某一側的電子延伸向另一側而發生編程上的失誤，並製作出符合小型化發展的矽-氧化矽-氮化矽-氧化矽-矽型記憶胞。

本發明提出一種非揮發性記憶胞的製作方法，包括於一基底上形成一第一介電層，再於第一介電層上形成一第二介電層，其中第二介電層具有一溝渠。接著，於溝渠之側壁上形成一對電荷儲存間隙壁(charge storage spacer)。之後，於基底上形成一第三介電層，覆蓋電荷儲存間隙壁以及第一、第二介電層，再於電荷儲存間隙壁上方的第三介電層上形成一導體結構。隨後，移除未被導體結構覆蓋的第三、第二與第一介電層，再於導體結構兩側之基底內形成源極/汲極區。

本發明再提出一種快閃記憶胞的製作方法，包括於一基底上形成一穿隧介電層，再於穿隧介電層上形成一圖案化介電層，其中圖案化介電層具有一溝渠。接著，於基底上形成一導體層覆蓋溝渠表面，再移除部分導體層，以於溝渠之側壁上形成一對導體間隙壁作為浮置閘極。之後，於基底上形成一閘間介電層覆蓋圖案化介電層、導體間隙壁以及穿隧介電層，再於閘間介電層上形成對應於導體間隙壁的控制閘極。之後，於控制閘極兩側之基底內形成源極/汲極區。

本發明另提出一種矽-氧化矽-氮化矽-氧化矽-矽型記憶胞的製作方法，包括於一基底上形成一底氧化矽層，再於底氧化矽層上形成一圖案化介電層，其中圖案化介電層



五、發明說明 (4)

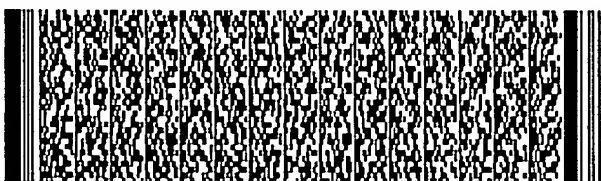
具一溝渠。接著，於基底上形成一電荷陷入層覆蓋溝渠表面，再移除部分電荷陷入層，以於溝渠之側壁上形成一對電荷陷入間隙壁。然後，於基底上形成一頂氧化矽層，覆蓋圖案化介電層、電荷陷入間隙壁以及底氧化矽層，再於頂氧化矽層上形成對應於電荷陷入間隙壁的閘極。之後，於閘極兩側之基底內形成源極/汲極區。

本發明因採用形成間隙壁的方式，於同一記憶胞中製作兩個電荷儲存間隙壁，所以能夠簡化製程，並縮小單一記憶胞所佔的面積，而在一個非揮發性記憶胞內製作出兩個電荷儲存結構。而且，本發明能應用於一般非揮發性記憶胞的製作，如快閃記憶胞的製作方法或矽-氧化矽-氮化矽-氧化矽-矽型記憶胞的製作方法，以避免原本陷入矽-氧化矽-氮化矽-氧化矽-矽型記憶胞之電荷陷入層某一側的電子延伸向另一側而發生編程上的失誤，而影響到記憶體元件之可靠度。再者，本發明可製作出符合小型化發展的矽-氧化矽-氮化矽-氧化矽-矽型記憶胞。此外，本發明還可直接利用現有的生產機台與製程技術，所以不僅可保持雙位元記憶胞所佔面積與單一記憶胞所佔面積相同，而且可以有效節省技術開發費用和昂貴的生產機台成本。

為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下。

實施方式

本發明的概念是在製作非揮發性記憶胞時，將其中的



五、發明說明 (5)

電荷儲存結構利用間隙壁的製作方式，形成電荷儲存間隙壁(charge storage spacer)。而以下各實施例係為本發明的應用於各種非揮發性記憶胞之製作方法的範例之一，然其僅為舉例之用，並非用以限定本發明。

第一實施例

圖1A至圖1D是依照本發明之第一實施例之快閃記憶胞的部分製造流程俯視圖，而圖2A至圖2F係繪示第一實施例之快閃記憶胞的製造流程剖面圖。

請參照圖1A與2A(其中圖2A是圖1A的I-I剖面的剖面圖)，先於具有隔離結構200的一基底100上形成一穿隧介電層(tunneling oxide)102，其中穿隧介電層102例如是包括氧化矽層，且其厚度例如在7.0nm~9.5nm之間。然後，於穿隧介電層102上形成一層圖案化介電層104，其具有一溝渠106，其中圖案化罩幕層104之材質只要是與後續形成之導體間隙壁具有不同蝕刻選擇性的材質即可。而且，圖案化介電層104之材質例如是較高介電常數介電材質；舉例來說，這種高介電常數介電材質譬如選自包括氮化矽、氮氧化矽、碳化矽、碳氧化矽、二氧化鈺(hafnium oxide, HfO_2)、二氧化鋯(zirconium oxide, ZrO_2)、二氧化鈦(titanium dioxide, TiO_2)、二氧化鈾(cerium oxide, CeO_2)、二氧化釧(lanthanum oxide, La_2O_3)或氧化鋁(aluminum oxide, Al_2O_3)。

接著，請參照圖1B與2B(其中圖2B是圖1B的I-I剖面的剖面圖)，於基底100上形成一導體層108覆蓋溝渠106表



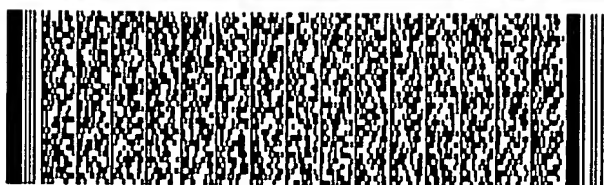
五、發明說明 (6)

面，其中導體層108例如是摻雜多晶矽層，且其厚度例如在20nm~60nm之間，較佳約為40nm。

隨後，請參照圖1C與圖2C(其中圖2C是圖1C的I-I剖面的剖面圖)，移除部分導體層108(請見圖1B)，以於溝渠106之側壁上形成一對導體間隙壁108a。此時，由於溝渠106可做到微影製程的最小線寬，故於此最小線寬中所形成的導體間隙壁108a勢必較目前一般微影製程可得之極限更小。因此，本發明可利用現有的生產機台與製程技術，製作出雙位元快閃記憶體，不僅可保持雙位元記憶胞所佔面積與單一記憶胞所佔面積相同，而且可以有效節省技術開發費用和昂貴的生產機台成本。另外，於回蝕刻第一導體層108後，更可包括進行一道通入惰性氣體的回火製程，以消除回蝕刻時穿隧介電層102所受到的損傷。然後，可於基底100上覆蓋一層圖案化光阻層109作為後續定義導體間隙壁108a時的罩幕。

接著，請參照圖1D與圖2D(其中圖2D是圖1D的I'-I'剖面的剖面圖)，以圖案化光阻層109(請見圖1C)作為罩幕，定義導體間隙壁108a作為浮置閘極110。之後，移除圖案化光阻層109並保留圖案化介電層104，再於基底100上形成一閘間介電層112，覆蓋浮置閘極110、圖案化介電層104與穿隧介電層102，其中閘間介電層112之材質例如包括氧化矽-氮化矽-氧化矽(ONO)、氧化矽-氮化矽或氧化矽。

然後，請參照圖2E，可於閘間介電層112上形成包含



五、發明說明 (7)

控制閘極的導體結構114，而其製作方法例如是於閘間介電層112上形成另一層導體層(未繪示)，並可於此導體層116上形成作為頂蓋層之用的一層氧化矽層118與一層氮化矽層120，然前述兩層僅為舉例之用，並非用以限定本發明中之頂蓋層的組成。其中，氧化矽層118可以是利用四乙氧基矽烷(tetra-ethyl-ortho-silicate, TEOS)作為氣體源所形成的膜層。接著，圖案化氮化矽層120、四乙氧基矽烷層118與導體層116，即可形成對應於浮置閘極110的數個控制閘極116與頂蓋層122，其中控制閘極116之材質例如包括摻雜多晶矽。而且，於圖案化導體層114的步驟中，可選擇將控制閘極116的寬度定義得較之前所定義的溝渠106之寬度大(如本圖所示)，或是將控制閘極116的寬度定義得與溝渠106之寬度大致相同。之後，可於控制閘極116以外的基底100內形成淺摻雜區124。接著，於導體結構114之側壁上形成介電間隙壁126，並暴露出閘間介電層112。

隨後，請參照圖2F，去除暴露出的閘間介電層112、圖案化介電層104與穿隧介電層102，再於控制閘極122兩側之介電間隙壁126外的基底100內形成數個源極/汲極區128。

本實施例因為採用形成間隙壁的方式，於同一快閃記憶體胞中製作兩個電荷儲存用的導體間隙壁，所以能夠突破微影製程的限制，縮小單一記憶胞所佔的面積。再者，本實施例可直接利用現有的生產機台與製程技術，所以不僅



五、發明說明 (8)

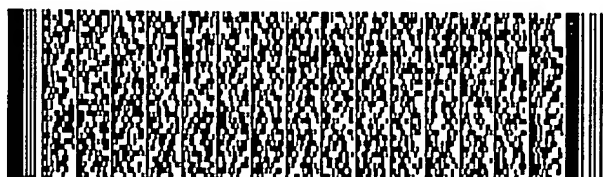
可保持雙位元記憶胞所佔面積與單一記憶胞所佔面積相同，而且可以有效節省技術開發費用和昂貴的生產機台成本。

第二實施例

圖3A至圖3D是依照本發明之第二實施例之矽-氧化矽-氮化矽-氧化矽-矽型記憶胞的製造流程剖面圖。

請參照圖3A，於一基底300上形成一底氧化矽層302。之後，於底氧化矽層302上形成一圖案化介電層304，其具有一溝渠306，其中圖案化罩幕層306之材質只要是與後續形成之電荷陷入層具有不同蝕刻選擇性的材質即可。而且，圖案化介電層304之材質如第一實施例所描述皆可為較高介電常數介電材質。接著，於基底300上形成一電荷陷入層(charge trapping layer)308覆蓋溝渠306表面，其中電荷陷入層308例如是包括氮化矽層或氮氧化矽層。

隨後，請參照圖3B，移除部分電荷陷入層308，以於溝渠306之側壁上形成一對電荷陷入間隙壁308a。此時，由於溝渠306之寬度可做到微影製程的最小極限，故於溝渠306中所形成的電荷陷入間隙壁308a勢必較目前一般微影製程可得之極限更小。然後，保留圖案化介電層304，並於基底300上形成一頂氧化矽層310，覆蓋電荷陷入間隙壁308、圖案化介電層304與底氧化矽層302。之後，於頂氧化矽層310上形成一導體層312。接著，可於頂氧化矽層310上依序形成作為頂蓋層之用的一層氧化矽層314與一層氮化矽層316，然前述兩層僅為舉例之用，並非用以限定



五、發明說明 (9)

本發明中之頂蓋層的組成。

接著，請參照圖3C，先圖案化氧化矽層314與氮化矽層316，以形成頂蓋層318。接著，圖案化導體層312(請見圖3B)，以於頂氧化矽層310上形成對應於電荷陷入間隙壁308a的閘極312a，其中閘極312a之材質包括摻雜多晶矽。而且，於圖案化導體層312的步驟中，可選擇將閘極312a的寬度定義得較之前所定義的溝渠306之寬度大(如本圖所示)，或是將閘極312a的寬度定義得與溝渠306之寬度大致相同。之後，可於閘極312a以外的基底300內形成淺摻雜區320。接著，於閘極312a與頂蓋層318之側壁上形成數個介電間隙壁322，並暴露出頂氧化矽層310。

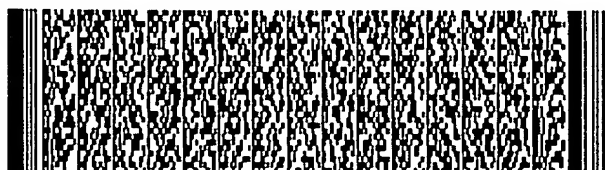
隨後，請參照圖3D，去除暴露出的頂氧化矽層310、圖案化介電層304與底氧化矽層302，再於閘極312a兩側之介電間隙壁322外的基底300內形成數個源極/汲極區324。

綜上所述，本發明之特點在於：

1. 本發明利用形成間隙壁的方式製作電荷儲存結構，故可保持雙位元記憶胞所佔面積與習知單一記憶胞所佔面積相同。

2. 本發明所提供的快閃記憶胞的製作方法，因為可直接利用現有的生產機台與製程技術，所以不但可保持雙位元記憶胞所佔面積與習知單一記憶胞所佔面積相同，而且可以有效節省技術開發費用和昂貴的生產機台成本。

3. 本發明所提供的矽-氧化矽-氮化矽-氧化矽-矽型記憶胞的製作方法，因為利用形成間隙壁的方式製作電荷陷



五、發明說明 (10)

入結構，故可避免原本陷入矽-氧化矽-氮化矽-氧化矽-矽型記憶胞之電荷陷入層某一側的電子延伸向另一側而發生編程上的失誤，並製作出符合小型化發展的矽-氧化矽-氮化矽-氧化矽-矽型記憶胞，因此有利於將來記憶元件朝更小型化發展。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

圖1A至圖1D是依照本發明之第一實施例之快閃記憶胞的部分製造流程俯視圖。

圖2A至圖2F係繪示第一實施例之快閃記憶胞的製造流程剖面圖。

圖3A至圖3D是依照本發明之第二實施例之矽-氧化矽-氮化矽-氧化矽-矽型記憶胞的製造流程剖面圖。

【圖式標示說明】

- 100、300：基底
- 102：穿隧介電層
- 104、304：圖案化介電層
- 106、306：溝渠
- 108、312：導體層
- 108a：導體間隙壁
- 109：圖案化光阻層
- 110：浮置閘極
- 112：閘間介電層
- 114：導體結構
- 118、314：氧化矽層
- 120、316：氮化矽層
- 122、318：頂蓋層
- 122：控制閘極
- 124、320：淺摻雜區
- 126、322：介電間隙壁
- 128、324：源極/汲極區



圖式簡單說明

- 200 : 隔離結構
- 302 : 底氧化矽層
- 308 : 電荷陷入層
- 308a : 電荷陷入間隙壁
- 310 : 頂氧化矽層
- 312a : 閘極



六、申請專利範圍

1. 一種非揮發性記憶胞的製作方法，包括：

於一基底上形成一第一介電層；

於該第一介電層上形成一第二介電層，其中該第二介電層具有一溝渠；

於該溝渠之側壁上形成一對電荷儲存間隙壁；

於該基底上形成一第三介電層，覆蓋該第一介電層、該對電荷儲存間隙壁以及該第二介電層；

於該對電荷儲存間隙壁上方的該第三介電層上形成一導體結構；

移除未被該導體結構覆蓋的該第三介電層、該第二介電層與該第一介電層；以及

於該導體結構兩側之該基底內形成多數個源極/汲極區。

2. 如申請專利範圍第1項所述之非揮發性記憶胞的製作方法，其中該第一介電層包括氧化矽層。

3. 如申請專利範圍第1項所述之非揮發性記憶胞的製作方法，其中於該溝渠之側壁上形成該對電荷儲存間隙壁之步驟包括：

於該基底上形成一電荷儲存材質層；以及

回蝕刻該電荷儲存材質層。

4. 如申請專利範圍第3項所述之非揮發性記憶胞的製作方法，其中該電荷儲存材質層之材質與該第二介電層之材質具有不同蝕刻選擇性。

5. 如申請專利範圍第4項所述之非揮發性記憶胞的製



六、申請專利範圍

作方法，其中該電荷儲存材質層包括氮化矽層或氮氧化矽層之其中之一。

6. 如申請專利範圍第3項所述之非揮發性記憶胞的製作方法，其中該電荷儲存材質層包括摻雜多晶矽層。

7. 如申請專利範圍第6項所述之非揮發性記憶胞的製作方法，其中回蝕刻該電荷儲存材質層之後，更包括進行一回火製程，以消除回蝕刻該電荷儲存材質層時該第一介電層受到的損傷。

8. 如申請專利範圍第6項所述之非揮發性記憶胞的製作方法，其中該第三介電層之材質包括氧化矽-氮化矽-氧化矽、氧化矽-氮化矽或氧化矽之其中之一。

9. 如申請專利範圍第1項所述之非揮發性記憶胞的製作方法，其中去除移除未被該導體結構覆蓋的該第三介電層、該第二介電層與該第一介電層之前，更包括於該導體結構之側壁上形成多數個介電間隙壁。

10. 一種快閃記憶胞的製作方法，包括：

於一基底上形成一穿隧介電層；

於該穿隧介電層上形成一圖案化介電層，其中該圖案化介電層具有一溝渠；

於該基底上形成一導體層覆蓋該溝渠表面；

移除部分該導體層，以於該溝渠之側壁上形成一對導體間隙壁作為浮置閘極；

於該基底上形成一閘間介電層，覆蓋該圖案化介電層、該對導體間隙壁以及該穿隧介電層；



六、申請專利範圍

於該閘間介電層上形成對應於該對導體間隙壁的一控制閘極；以及

於該控制閘極兩側之該基底內形成多數個源極/汲極區。

11. 如申請專利範圍第10項所述之快閃記憶胞的製作方法，其中該穿隧介電層包括氧化矽層。

12. 如申請專利範圍第10項所述之快閃記憶胞的製作方法，其中回蝕刻該導體層之後，更包括進行一回火製程，以消除回蝕刻該導體層時該穿隧介電層受到的損傷。

13. 如申請專利範圍第10項所述之快閃記憶胞的製作方法，其中該閘間介電層之材質包括氧化矽-氮化矽-氧化矽、氧化矽-氮化矽或氧化矽之其中之一。

14. 如申請專利範圍第10項所述之快閃記憶胞的製作方法，其中於該閘間介電層上形成對應於該對導體間隙壁的該控制閘極之步驟後，更包括：

於該控制閘極之側壁上形成多數個介電間隙壁，並暴露出該閘間介電層；以及

去除暴露出的該閘間介電層、該圖案化介電層與該穿隧介電層。

15. 一種矽-氧化矽-氮化矽-氧化矽-矽型記憶胞的製作方法，包括：

於一基底上形成一底氧化矽層；

於該底氧化矽層上形成一圖案化介電層，其中該圖案化介電層具有一溝渠；



六、申請專利範圍

於該基底上形成一電荷陷入層覆蓋該溝渠表面；

移除部分該電荷陷入層，以於該溝渠之側壁上形成一對電荷陷入間隙壁；

於該基底上形成一頂氧化矽層，覆蓋該圖案化介電層、該對電荷陷入間隙壁以及該底氧化矽層；

於該頂氧化矽層上形成對應於該對電荷陷入間隙壁的一閘極；以及

於該閘極兩側之該基底內形成多數個源極/汲極區。

16. 如申請專利範圍第15項所述之矽-氧化矽-氮化矽-氧化矽-矽型記憶胞的製作方法，其中該圖案化介電層之材質與該電荷儲存材質層之材質具有不同蝕刻選擇性。

17. 如申請專利範圍第15項所述之矽-氧化矽-氮化矽-氧化矽-矽型記憶胞的製作方法，其中該電荷陷入層包括氮化矽層或氮氧化矽層之其中之一。

18. 如申請專利範圍第15項所述之矽-氧化矽-氮化矽-氧化矽-矽型記憶胞的製作方法，其中於該頂氧化矽層上形成對應於該對電荷陷入間隙壁的該閘極之步驟後，更包括：

於該閘極之側壁上形成多數個介電間隙壁，並暴露出該頂氧化矽層；以及

去除暴露出的該頂氧化矽層、該圖案化介電層與該底氧化矽層。



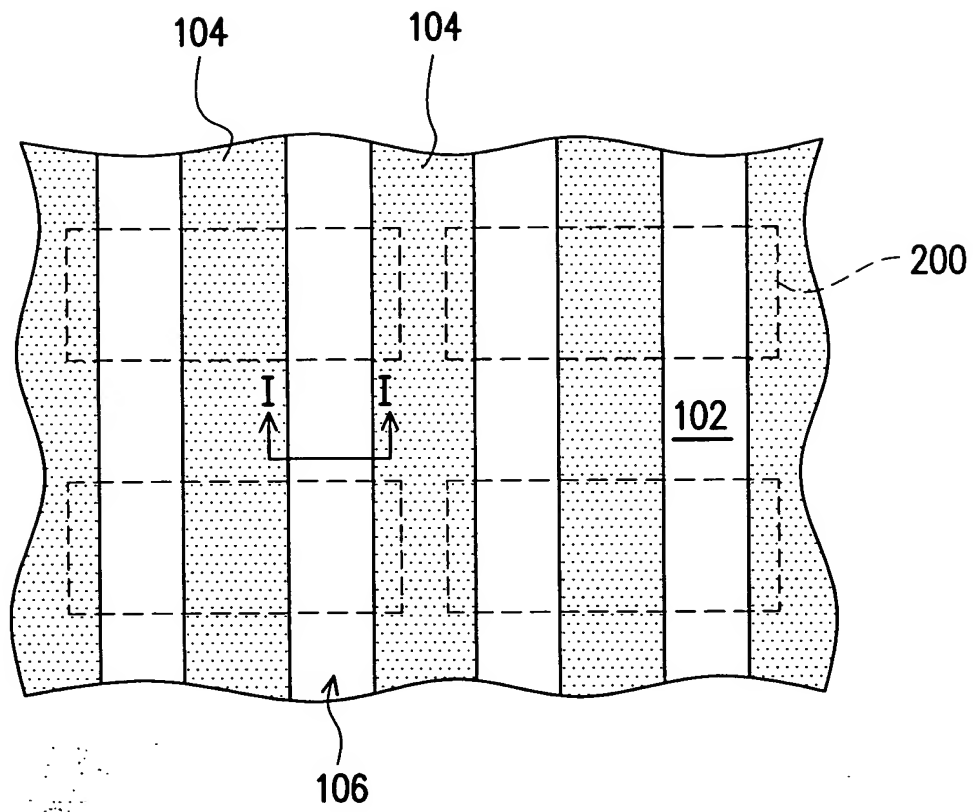


圖 1A

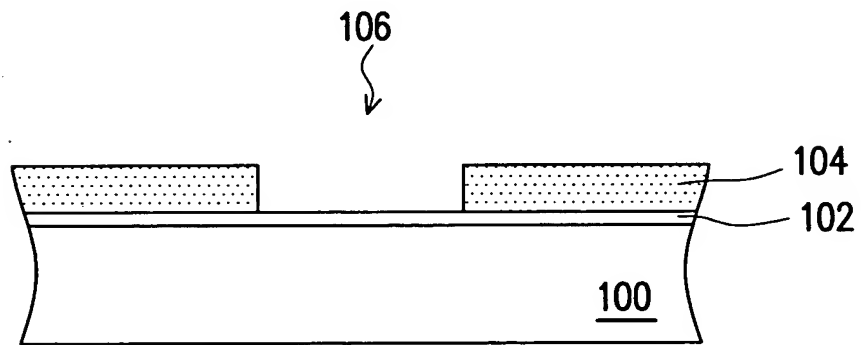


圖 2A

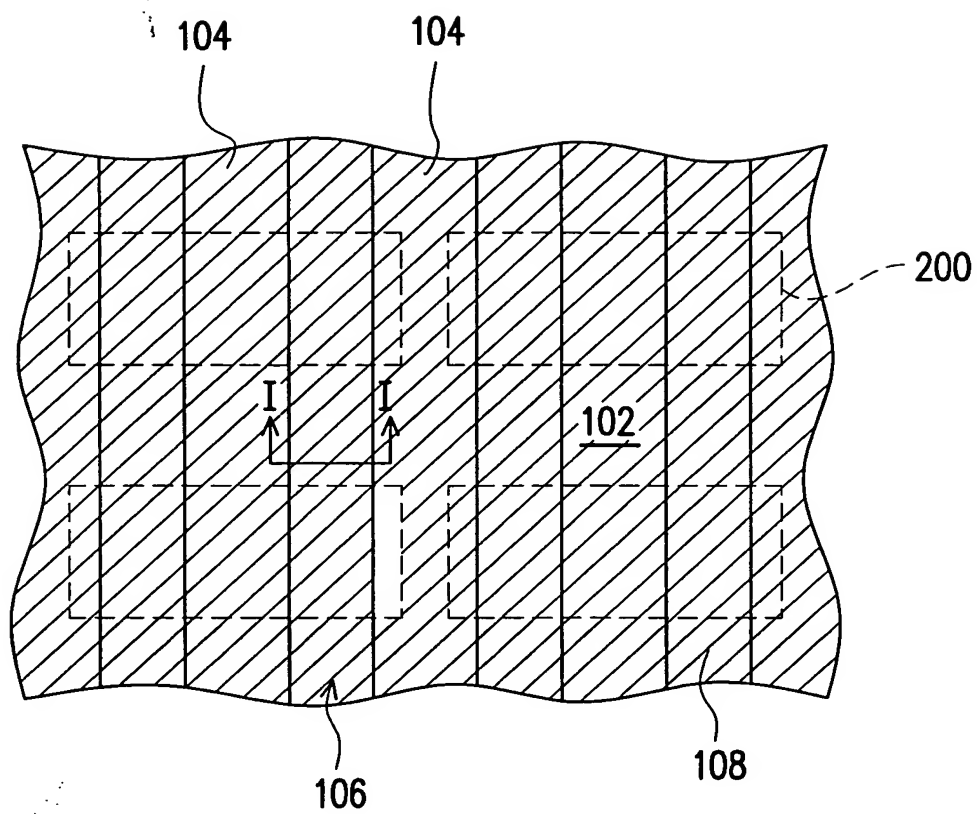


圖 1B

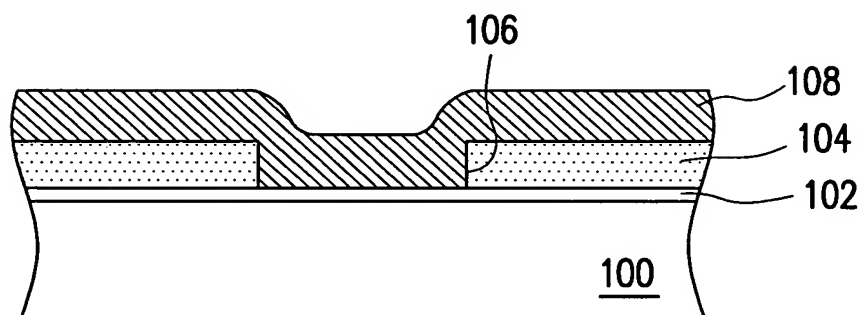


圖 2B

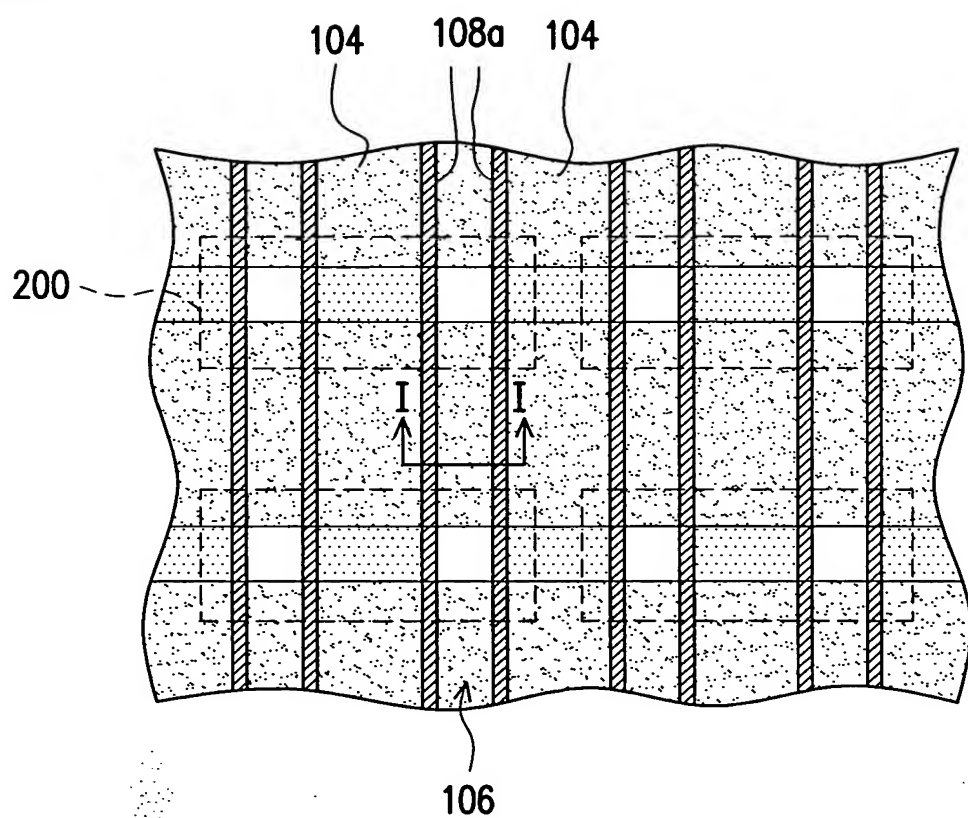


圖 1C

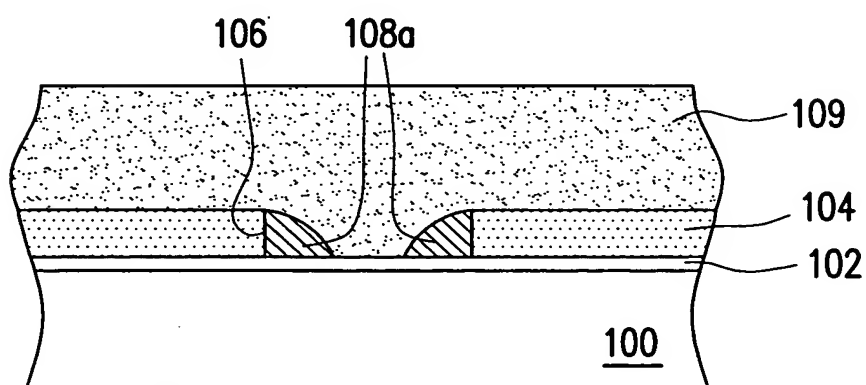


圖 2C

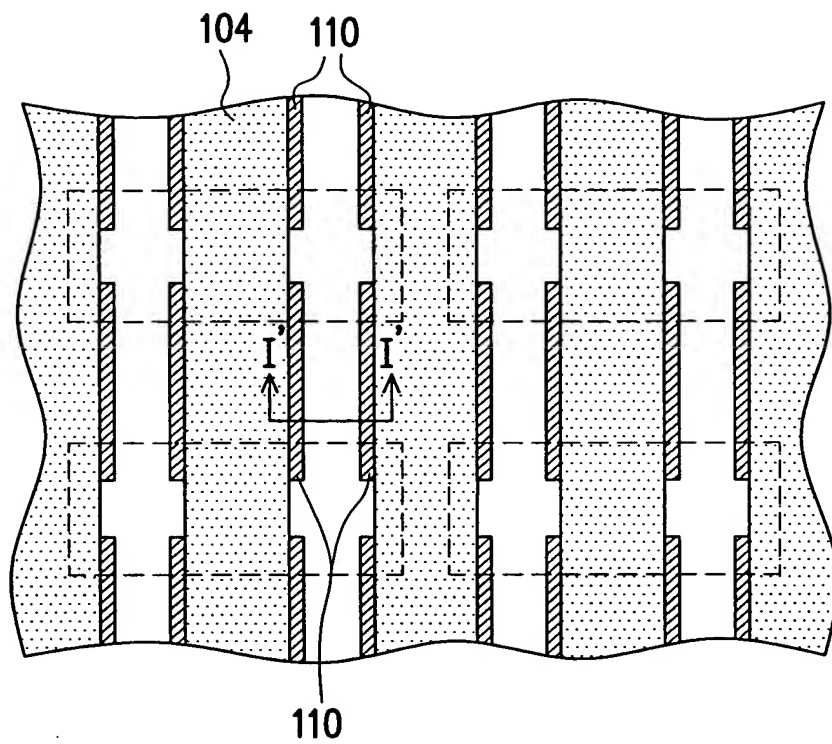


圖 1D

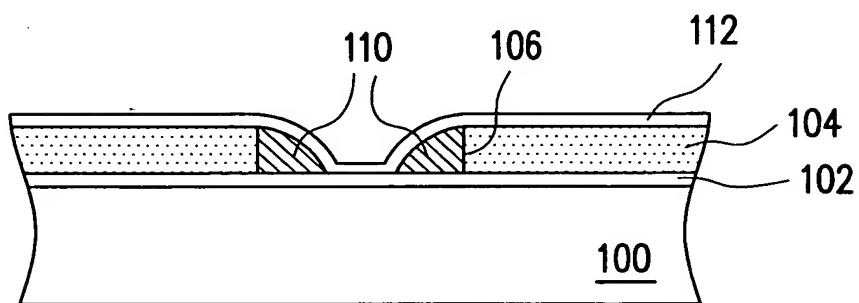


圖 2D

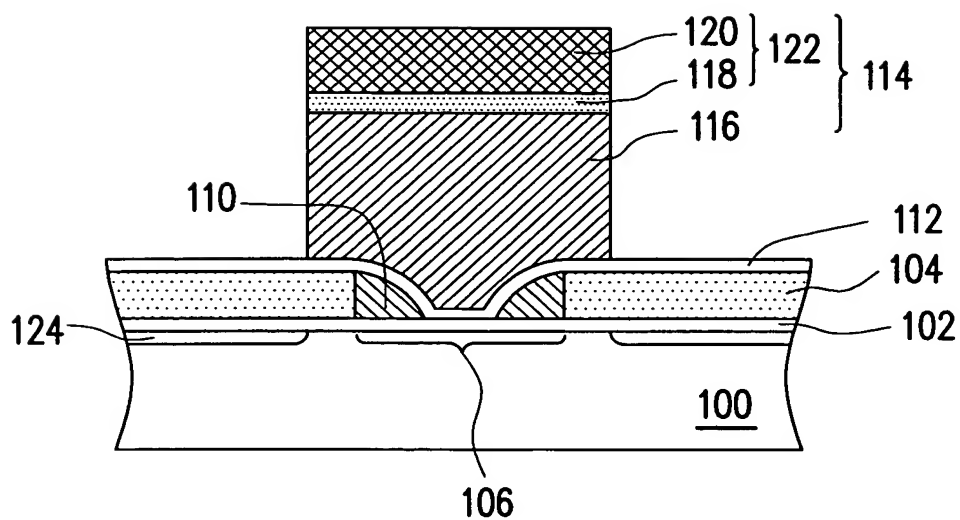


圖 2E

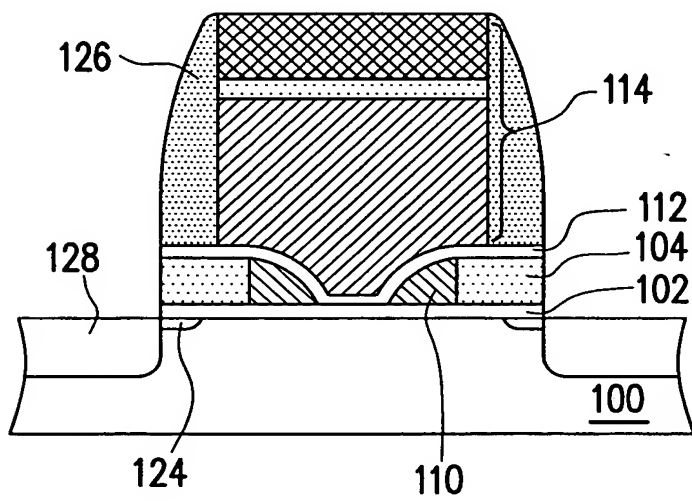


圖 2F

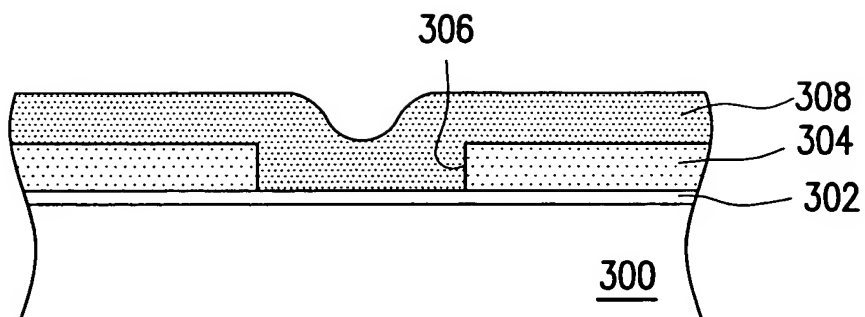


圖 3A

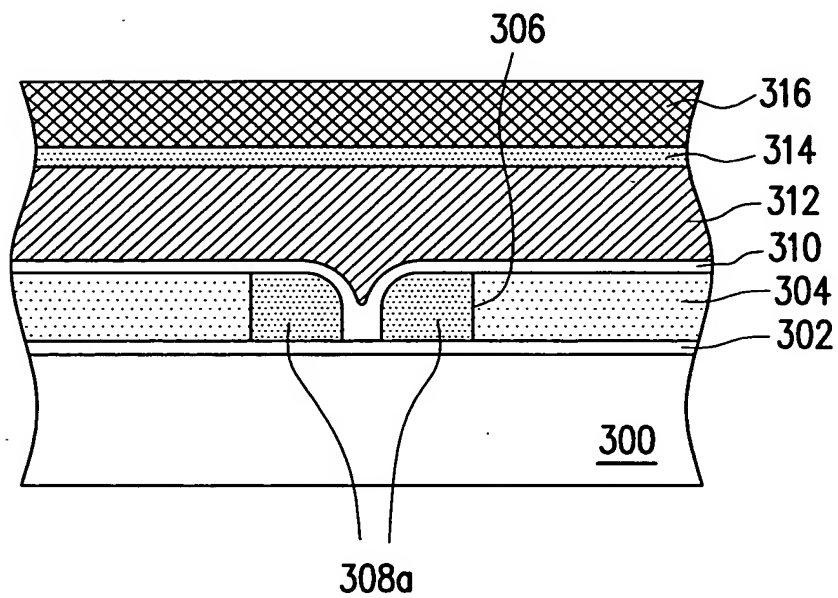


圖 3B

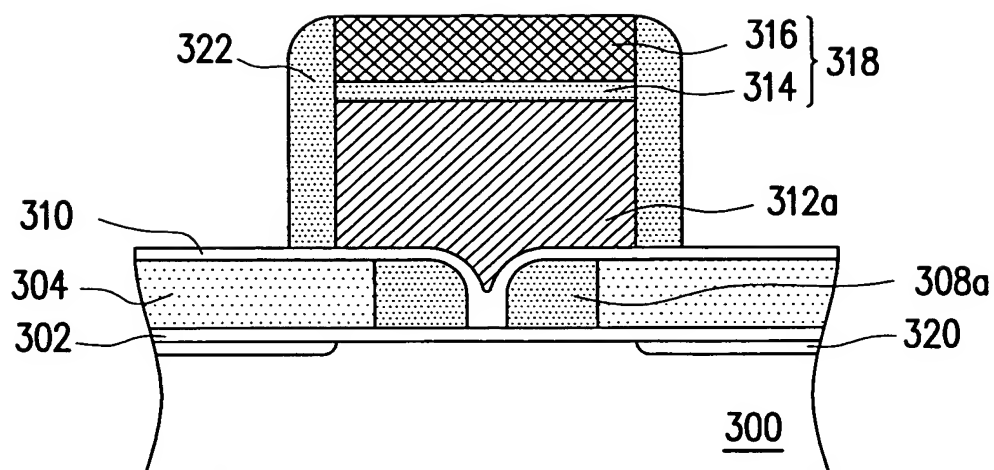


圖 3C

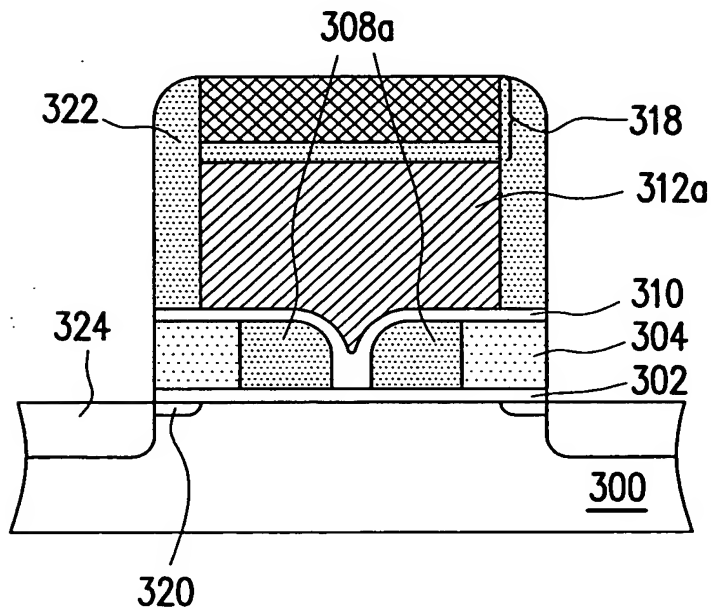


圖 3D

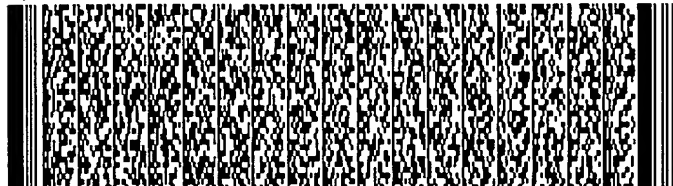
第 1/23 頁



第 2/23 頁



第 3/23 頁



第 4/23 頁



第 5/23 頁



第 6/23 頁



第 7/23 頁



第 8/23 頁



第 8/23 頁



第 9/23 頁



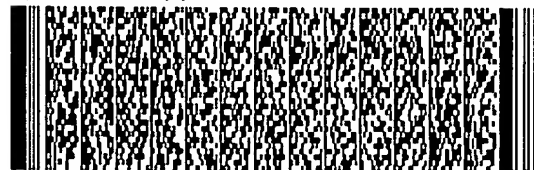
第 9/23 頁



第 10/23 頁



第 10/23 頁



第 11/23 頁



第 11/23 頁



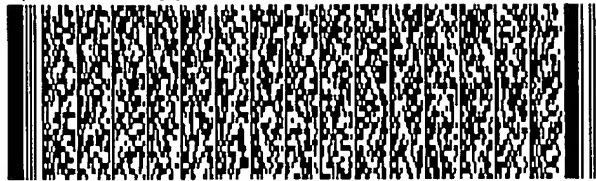
第 12/23 頁



第 12/23 頁



第 13/23 頁



第 13/23 頁



第 14/23 頁



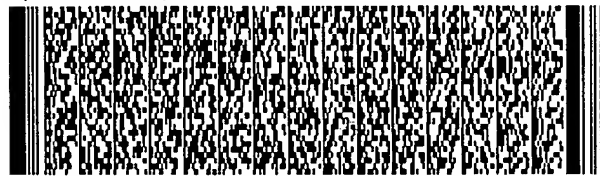
第 14/23 頁



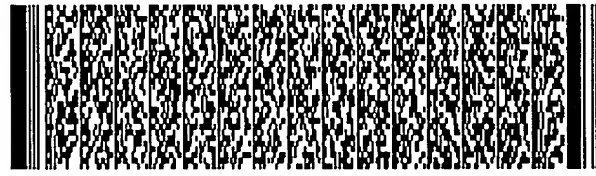
第 15/23 頁



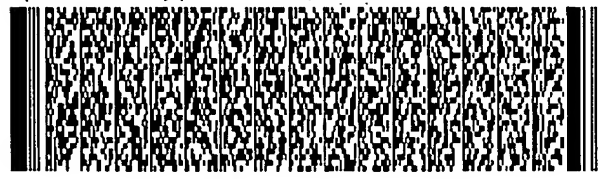
第 15/23 頁



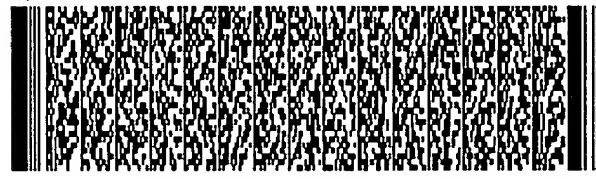
第 16/23 頁



第 16/23 頁



第 17/23 頁



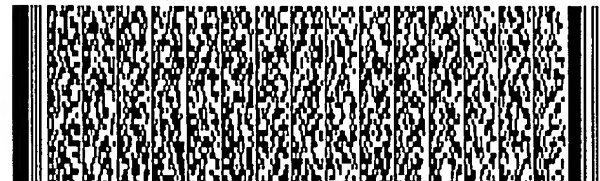
第 18/23 頁



第 19/23 頁



第 20/23 頁



第 21/23 頁



第 21/23 頁



第 22/23 頁



